

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-019163

(43)Date of publication of application : 28.01.1986

(51)Int.Cl.

H01L 27/08

H01L 23/48

H01L 27/04

H01L 29/78

(21)Application number : 59-139862

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 05.07.1984

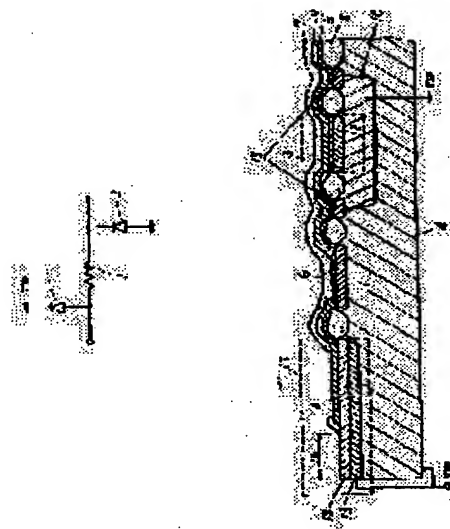
(72)Inventor : FURUBAYASHI YOSHINORI
MIKI YUTAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain a semiconductor integrated circuit, which does not short-circuit with the potential of a substrate, even when a bonding wire and a film carrier inner lead are in contact with a chip end by forming a P type diffusion layer onto an N type diffusion layer and connecting and shaping a bonding pad onto the P type diffusion layer.

CONSTITUTION: A semiconductor integrated circuit consists of a protective resistor (a P type diffusion layer) 1, a negative surge voltage protective circuit 3, an N type substrate 6, a field oxide (SiO₂)5, an inter-layer insulating oxide film (SiO₂)6, a protective nitride film (SiN)7, a bonding pad (PDP)8, an aluminum wiring 9, a P well 10, an N type diffusion layer 12, an N type diffusion layer 13, a guard band (a P type diffusion layer) 15, scribing lanes 16, and a positive surge voltage protective diode 17 containing a P type diffusion layer 18. The N type substrate 4 and the N type diffusion layer 13 are connected to a VDD power supply. Even when a bonding wire and a film carrier inner lead connected to the bonding pad 8 are in contact with a chip end, the bonding pad 8 does not short-circuit with the VDD power supply because there is the P type diffusion layer 18 between the bonding pad 8 and the N type diffusion layer 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑮ Int.Cl.⁴

H 01 L 27/08
23/48
27/04
29/78

識別記号

102

庁内整理番号

6655-5F
6732-5F
7514-5F
8422-5F

⑰ 公開 昭和61年(1986)1月28日

審査請求 未請求 発明の数 1 (全4頁)

⑱ 発明の名称 半導体集積回路

⑲ 特 願 昭59-139862

⑳ 出 願 昭59(1984)7月5日

㉑ 発 明 者 古 林 好 則 門真市大字門真1006番地 松下電器産業株式会社内
㉒ 発 明 者 三 木 豊 門真市大字門真1006番地 松下電器産業株式会社内
㉓ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地
㉔ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体集積回路

2、特許請求の範囲

スクライブレーションからボンディングパッドの間に
おいて、N形拡散層の上にP形拡散層を形成し、
前記P形拡散層の上にボンディングパッドを接続さ
れるごとく形成することを特徴とする半導体集積
回路。

3、発明の詳細な説明

産業上の利用分野

本発明は高集積回路に用いることができる半導
体集積回路の構造に関するものである。

従来例の構成とその問題点

近年、半導体集積回路は高集積化の方向に進ん
でいる。すなわち、トランジスタ素子の小形化に
より、集積度が向上している。しかしながら、外
部回路と接続するためのボンディングパッド、およ
び、サージ電圧対策用の保護回路の小形化は、そ
の特性上、トランジスタ素子に比して大変困難で

ある。

以下図面を参照しながら従来のCMOS形の半
導体集積回路について説明する。第1図は従来の
CMOS形の半導体集積回路のサージ電圧保護回
路であり、第2図はその断面図を示すものである。
第1図において1は保護抵抗、2は正のサージ電
圧保護ダイオード、3は負のサージ電圧保護ダイ
オードである。第2図において、1は保護抵抗
(P形拡散層)、2は正のサージ電圧保護ダイオ
ード、3は負のサージ電圧保護ダイオード、4は
N形のシリコン基板、5はフィールド酸化膜
(SiO₂)、6は層間絶縁膜(SiO₂)、7は保護窒化膜
(SiN)、8はボンディングパッド、9はアルミ配線、
10はPウェル、11はP形拡散層、12はN形
拡散層、13はN形拡散層であり、N形基板4よ
りは不純物濃度がより高濃度となっている、14
はガードバンド(N形拡散層)、15はガードバ
ンド(P形拡散層)、16の領域はスクライブレ
ーションである。ここに示した例は、いわゆるPウェ
ル構造で、N形基板を使うものであり、CMOS

はPウェル構造が一般的である。ここでN形基板4およびN形拡散層13はVDD(最高電位、たとえば+5V)電源に接続される。またN形拡散層13はチップの有効利用を図るために入れてあり、このN形拡散層13をVDD電源に接続することによりチップ周辺の素子やガードバンドはこのN形拡散層13を介してVDD電源をとることができる。スクライブレーション上には酸化膜や窒化膜がないが、これは、もしスクライブレーション上にあると、ウェハからチップに分割する時、酸化膜、窒化膜にクラックが入り、それがチップ内部までおよび、耐湿等信頼性を低下させるからである。

以上のような構造の集積回路では、パッケージングや実装時において、ボンディングパッドBに接続するボンディングワイヤやフィルムキャリアインナーリードが自重、ゴミ、保護樹脂の圧力等の機械的外力によってたれ下りチップ端つまりN形拡散層13に接触しN形拡散層13の電位すなわちVDD電位とショートしてしまうという問題

点を有していた。

発明の目的

本発明の目的はボンディングワイヤやフィルムキャリアインナーリードがチップ端と接触しても基板の電位とショートしない半導体集積回路を提供するものである。

発明の構成

本発明の半導体集積回路は、スクライブレーションからボンディングパッドの間において、N形拡散層の上にP形拡散層を形成し前記P形拡散層の上にボンディングパッドを接続されるごとく形成したことにより、ボンディングワイヤやフィルムキャリアインナーリードがチップ端に接触しても基板電位とショートしなくなるものである。

実施例の説明

以下本発明の一実施例について、図面を参照しながら説明する。

第3図は本発明の一実施例における半導体集積回路のサージ電圧保護回路であり、第4図はその断面図を示すものである。第3図において1は保

護抵抗、3は負のサージ電圧保護ダイオード、17は正のサージ電圧保護ダイオードである。第4図において1は保護抵抗(P形拡散層)、3は負のサージ電圧保護回路、4はN形基板、5はフィールド酸化膜(SiO_2)、6は層間絶縁酸化膜(SiO_2)、7は保護窒化膜(SiN)、8はボンディングパッド、9はアルミ配線、10はPウェル、12はN形拡散層、13はN形拡散層、16はガードバンド(P形拡散層)、18の領域はスクライブレーション、17は正のサージ電圧保護ダイオードである。P形拡散層13は通常リン(P)をN形シリコン基板にドーピングして形成されるが、それぞれの拡散深さ、およびひろがりはプロセス条件でコントロールできるので第4図のようにN形基板4、P形拡散層18、N形拡散層13の三層構造を作ることができる。ここでN形基板4およびN形拡散層13は従来例同様にVDD電源に接続される。このN形拡散層13は従来例のN形拡散層13と同じ役割をするものである。ただし、従来例のN形拡散層13の機能が必要なければ、

このN形拡散層はなくてもかまわない。またP形拡散層18には何も接続せずにフローティングにしておく。

以上のように構成された本実施例の半導体集積回路のボンディングパッドBに接続するボンディングワイヤやフィルムキャリアインナーリードが何らかの原因でチップ端に接触したとしてもN形拡散層13との間にはP形拡散層18があり、VDD電源とショートすることはない。

以上のように本実施例によればN形拡散層およびP形拡散層の2層構造を形成したことにより、ボンディングパッドと基板のVDD電位とショートするのを防いでいる。

発明の効果

以上の説明から明らかなように、本発明はスクライブレーションからボンディングパッドの間においてN形拡散層の上にP形拡散層を形成しているので、ボンディングパッドやフィルムキャリアインナーリードがチップ端に接触しても基板の電位とショートすることはないという優れた効果が得ら

れる。さらに、ボンディングパッドが P 形拡散層と接続されているのでサージ電圧が加わっても、P N 接合によって基板に吸収され、別にサージ電圧対策用の保護回路を造る必要がなく、チップが小さくなるという効果が得られる。

4. 図面の簡単な説明

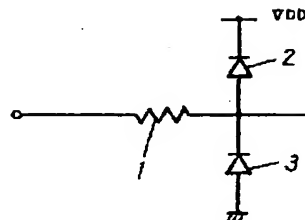
第 1 図は従来の集積回路のサージ電圧保護回路の回路図、第 2 図は従来の集積回路のボンディングパッド部分とサージ電圧保護回路部の断面図、第 3 図は本発明の一実施例における集積回路のサージ電圧保護回路の回路図、第 4 図は本発明の一実施例における集積回路のパッド部分とサージ電圧保護回路部の断面図である。

1 ……保護抵抗 (P 形拡散層)、2 ……正のサージ電圧保護ダイオード、3 ……負のサージ電圧保護ダイオード、4 ……N 形シリコン基板、5 ……フィールド酸化膜、6 ……層間絶縁膜、7 ……保護窒化膜、8 ……ボンディングパッド、9 ……アルミ配線、10 ……P ウェル、11 ……P 形拡散層、12 ……N 形拡散層、13 ……N 形拡散層、

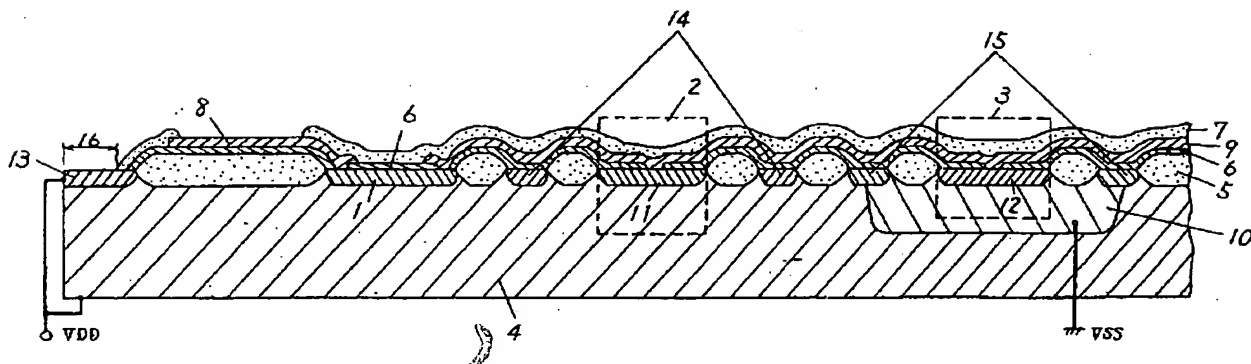
14 ……ガードバンド (N 形拡散層)、15 ……ガードバンド (P 形拡散層)、16 ……スクライプレーン、17 ……本発明の正のサージ電圧保護回路、18 ……本発明の P 形拡散層。

代理人の氏名 弁理士 中 尾 敏 男 ほか 1 名

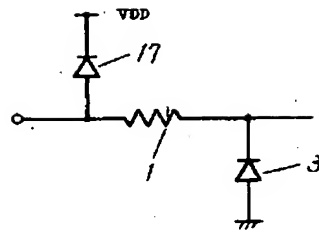
第 1 図



第 2 図



第 3 図



第 4 図

